

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033361

(43)Date of publication of application : 31.01.2002

(51)Int.Cl. H01L 21/66
G01R 31/28
H01L 27/04
H01L 21/822

(21)Application number : 2000-215746 (71)Applicant : MITSUMI ELECTRIC CO LTD

(22)Date of filing : 17.07.2000 (72)Inventor : MIKI KENICHI
TERADA YUKIHIRO

(54) SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inspection pad for inspecting an IC chip and to realize a smaller IC chip.

SOLUTION: IC chip 2 is isolated and on a scribe line 3 which is later cut an inspection pad 4 electrically connected to an internal circuit of the IC chip 2 is formed. The inspection pad 4 is used for inspecting the behavior of the IC chip 2 in an inspection process and is cut off together with the scribe line 3 in a cut process.

CLAIMS

[Claim(s)]

[Claim 1] In a semiconductor wafer in which two or more IC chips isolated by scribe lines respectively were formed, a semiconductor wafer wherein a checking pad for electrically being connected to an internal circuit of the above-mentioned IC chip and inspecting operation of the above-mentioned IC chip is formed on the above-mentioned scribe line.

[Claim 2] The semiconductor wafer according to claim 1 wherein a protective element which is electrically connected between the above-mentioned checking pad and an internal circuit of the above-mentioned IC chip and prevents an over-current is formed on the above-mentioned scribe line.

[Claim 3] The semiconductor wafer according to claim 1 wherein the above-mentioned

checking pad and an internal circuit of the above-mentioned IC chip are electrically connected via a polysilicon layer.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to two or more IC chips isolated by the scribe line respectively and the semiconductor wafer in which two or more checking pads for inspecting operation of each IC chip were formed in detail about a semiconductor wafer.

[0002]

[Description of the Prior Art] In order to inspect the circuit operation of the IC chip formed on the semiconductor wafer a checking pad may be formed in an IC chip. Some semiconductor wafers in which the IC chip provided with such a checking pad was formed are shown in drawing 4. On the semiconductor wafer 41 two or more IC chips 42 are formed.

Each IC chip 42 is isolated by the scribe line 43 respectively.

This semiconductor wafer 41 is cut by cutting off the scribe line 43 after predetermined processing and thereby each IC chip 42 is separated.

[0003] IC chip 42 is provided with the checking pad 44 connected to the internal circuit. This checking pad 44 is used for an inspection process.

In order to inspect operation of the internal circuit of an IC chip it is inspected whether predetermined voltage is impressed to this checking pad or predetermined current is sent through an internal circuit and the internal circuit of IC chip 42 is operating appropriately by processing of detecting the change of potential of this checking pad 44.

Unexpected voltage is impressed to the checking pad 44 by static electricity etc. at the time of such an inspection an over-current flows into an internal circuit and in order to prevent an internal circuit from being destroyed the protective element for the prevention from an electrostatic discharge damage may be provided between the checking pad 44 and an internal circuit.

[0004]

[Problem(s) to be Solved by the Invention] The protective element which accompanies the checking pad 44 and it is required only for an inspection process and after an inspection process is completed it is not used. In recent years although small size of the IC chip was desired since area with a checking pad and a protective element constant within an IC chip was monopolized when a checking pad and a protective element are provided in an IC chip the miniaturization of the IC chip was difficult. Therefore the number of the IC chips which can be formed on the semiconductor

wafer of one sheet was limited and there was a problem that productive efficiency did not improve.

[0005] The purpose of this invention is as follows.

Be made in view of the above technical problems and provide a checking pad required for an inspection process.

Provide the semiconductor wafer which can realize the miniaturization of an IC chip.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose a semiconductor wafer concerning this invention In a semiconductor wafer in which two or more IC chips isolated by scribe lines respectively were formed a checking pad for electrically being connected to an internal circuit of the above-mentioned IC chip and inspecting operation of the above-mentioned IC chip is formed on the above-mentioned scribe line.

[0007] By forming a checking pad on a scribe line it becomes unnecessary to provide a checking pad in an IC chip and a miniaturization of an IC chip is realized. A checking pad formed on a scribe line is cut off with a scribe line in a cutting process.

[0008] A protective element which a semiconductor wafer concerning this invention is electrically connected between the above-mentioned checking pad and an internal circuit of the above-mentioned IC chip and prevents an over-current is formed on the above-mentioned scribe line.

[0009] A protective element is realized by diode for which the anode side was grounded for example. By providing a protective element an over-current flows in an internal circuit of an IC chip at the time of an inspection and an internal circuit is prevented from being destroyed. A miniaturization of an IC chip is realized by forming this protective element on a scribe line with a checking pad.

[0010] In a semiconductor wafer concerning this invention it is good also as composition which electrically connects the above-mentioned checking pad and an internal circuit of the above-mentioned IC chip by a polysilicon layer. Although aluminum wiring has a possibility of short-circuiting to a substrate at the time of a cutting process such a problem will be solved if connection by a polysilicon layer is made.

[0011]

[Embodiment of the Invention] Hereafter the semiconductor wafer concerning this invention is explained in detail with reference to drawings.

[0012] Drawing 1 (a) is a top view of the semiconductor wafer 1 shown as an embodiment of the invention and drawing 1 (b) is an important section sectional view of the semiconductor wafer 1. On the semiconductor wafer 1 two or more same IC chips 2 are formed. Each IC chip 2 is isolated by the lattice-like scribe line 3. IC chip 2 of these plurality is individually separated by cutting the scribe line 3 after predetermined processing.

[0013]As shown in drawing 1 (a)the checking pad 4 is formed on the scribe line 3. As shown in drawing 1 (b)the checking pad 4 is electrically connected to the emitter of the NPN transistor in IC chip 2 via the aluminum layer 5 while exposing to the surface of the scribe line 3.

[0014]The checking pad 4 is used in order to inspect operation of IC chip 2 formed on the semiconductor wafer 1. That is at the time of an inspection while impressing predetermined voltage to the checking pad 4 or sending current through IC chip 2 it is judged by detecting the change of potential in the checking pad 4 whether IC chip 2 operates normally. The scribe line 3 is cut off after this inspection process and thereby two or more IC chips 2 are separated. The checking pad 4 which becomes unnecessary after an inspection process is cut off with the scribe line 3 in this cutting process.

[0015]thus the thing established for the checking pad 4 on the scribe line 3 -- IC chip 2 -- the surface integral of the checking pad 4 -- it becomes possible to form small therefore it becomes possible from the one semiconductor wafer 1 to create more IC chips 2. Therefore according to this invention the productive efficiency of an IC chip can be raised.

[0016]Drawing 2 is a figure showing a 2nd embodiment of this invention. In this 2nd embodiment two or more IC chips 12 isolated by the scribe line 13 on the semiconductor wafer 11 are formed. While forming the checking pad 14 on the scribe line 13 like the embodiment shown in drawing 1 the protective element 16 is formed between the checking pad 14 and the internal circuit of IC chip 12.

[0017]The protective element 16 is formed on the scribe line 13 as shown in drawing 2 (a). This protective element 16 is a diode constituted by N⁺ diffusion zone and P diffusion zone as shown in drawing 2 (b). The equivalent circuit of the protection circuit using this protective element 16 is shown in drawing 2 (c). The checking pad 14 is connected to the cathode terminal of the diode 16 for which the anode terminal was grounded i.e. a protective element while being connected to the emitter of the NPN transistor of an internal circuit. Thereby when unexpected voltage has been impressed to the checking pad 14 by static electricity etc. at the time of the inspection of IC chip 12 the electrostatic discharge damage prevention circuit which prevents an internal circuit from being destroyed by the over-current is constituted.

[0018]The checking pad 14 and the protective element 16 become unnecessary [after / both / the inspection finish of IC chip 12]. Therefore in the cutting process of IC chip 12 even if cut off with the scribe line 13 it is satisfactory in any way. Thus by forming the checking pad 14 and the protective element 16 on the scribe line 13 it becomes unnecessary to form the checking pad 14 and the protective element 16 in IC chip 12. IC chip 12 can be miniaturized and more IC chips 12 can be formed on the one semiconductor wafer 11.

[0019]Drawing 3 is a figure showing a 3rd embodiment of this invention. According to the embodiment shown in drawing 1 and drawing 2 the checking pads 1 and 11 and the

internal circuit of IC chips 2 and 12 were connected via the aluminum layers 5 and 15. In such composition when the scribe lines 3 and 13 are cut there is a possibility that the aluminum layers 5 and 15 exposed outside may short-circuit to a substrate. In this 3rd embodiment while forming the checking pad 21 as an aluminum terminal the checking pad 21 and the internal circuit are connected via the conductive polysilicon layer 22. By this when the scribe line 23 is cut a possibility that a connection layer will short-circuit to a substrate can be reduced therefore a more reliable IC chip can be provided.

[0020] In drawing 3 after inspection finish since an internal circuit cannot short-circuit to a substrate by cutting the portion A enclosed with the dotted line of the polysilicon layer 22 which has connected the internal circuit and the checking pad in a laser beam etc. a much more reliable IC chip can be provided. When cutting in this laser beam a much more reliable IC chip can be provided by cutting the aluminum layers 5 and 15 in drawing 1 and drawing 2 into the same part after inspection finish.

[0021]

[Effect of the Invention] As mentioned above in the semiconductor wafer concerning this invention. Since the checking pad for electrically being connected to the internal circuit of an IC chip and inspecting operation of the above-mentioned IC chip is formed on a scribe line it becomes unnecessary to provide a checking pad in an IC chip and the miniaturization of an IC chip is realized. The number of the IC chips which can be formed on one semiconductor wafer can be made to be able to increase by this and the productivity of an IC chip can be raised.

[0022] Since the semiconductor wafer concerning this invention forms the protective element which is electrically connected between a checking pad and the internal circuit of an IC chip and prevents an over-current on a scribe line the miniaturization of an IC chip is realized. The defect generated when a connection layer short-circuits to a substrate at the time of a cutting process can be prevented by electrically connecting a checking pad and the internal circuit of an IC chip by a polysilicon layer.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the partial top view and sectional view of a semiconductor wafer which applied this invention.

[Drawing 2] It is a figure showing the equivalent circuit of the top view of the semiconductor wafer shown as a 2nd embodiment a sectional view and a protection circuit.

[Drawing 3] It is a sectional view of the semiconductor wafer shown as a 3rd embodiment.

[Drawing 4] It is a partial top view of the conventional semiconductor wafer.

[Description of Notations]

1 Semiconductor wafer

2 IC chip

3 Scribe line

4 Checking pad



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-33361
(P2002-33361A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/66		H 0 1 L 21/66	E 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	U 4 M 1 0 6
H 0 1 L 27/04		H 0 1 L 27/04	E 5 F 0 3 8
21/822			T
			H
審査請求 未請求 請求項の数 3 O L (全 4 頁)			

(21)出願番号 特願2000-215746(P2000-215746)

(22)出願日 平成12年7月17日(2000.7.17)

(71)出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72)発明者 三木 憲一

神奈川県厚木市酒井1601 ミツミ電機株式
会社厚木事業所内

(72)発明者 寺田 幸弘

神奈川県厚木市酒井1601 ミツミ電機株式
会社厚木事業所内

Fターム(参考) 2G032 AA00 AG01 AK11

4M106 AA01 AC07 AD02 AD06 AD30

BA14 BA20 CA01

5F038 BE04 BH04 BH13 CA13 CD18

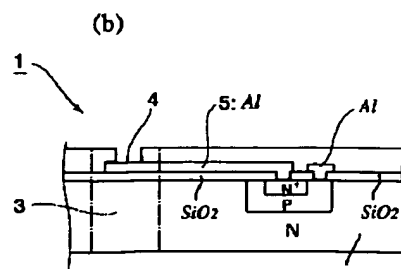
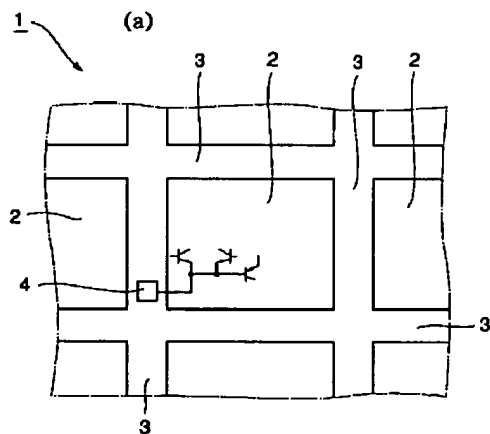
DT04 DT15 EZ20

(54)【発明の名称】 半導体ウェハ

(57)【要約】

【課題】 ICチップを検査する検査用パッドを設けるとともに、ICチップの小型化を実現する。

【解決手段】 ICチップ2を隔離し、後に切断されるスクライブライン3上に、ICチップ2の内部回路に電気的に接続された検査用パッド4を形成する。検査用パッド4は、検査工程において、ICチップ2の動作を検査するために使用され、切断工程において、スクライブライン3とともに切り落とされる。



【特許請求の範囲】

【請求項１】 スクライブラインによりそれぞれ隔離された複数のＩＣチップが形成された半導体ウェハにおいて、

上記ＩＣチップの内部回路に電気的に接続されて上記ＩＣチップの動作を検査するための検査用パッドが上記スクライブライン上に形成されていることを特徴とする半導体ウェハ。

【請求項２】 上記検査用パッドと上記ＩＣチップの内部回路との間に電気的に接続されて過電流を防止する保護素子が上記スクライブライン上に形成されていることを特徴とする請求項１記載の半導体ウェハ。

【請求項３】 上記検査用パッドと上記ＩＣチップの内部回路とは、ポリシリコン層を介して電気的に接続されていることを特徴とする請求項１記載の半導体ウェハ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、半導体ウェハに関し、詳しくは、スクライブラインによりそれぞれ隔離された複数のＩＣチップと、各ＩＣチップの動作を検査するための複数の検査用パッドが形成された半導体ウェハに関する。

【０００２】

【従来の技術】 半導体ウェハ上に形成されたＩＣチップの回路動作を検査するために、ＩＣチップ内に検査用パッドを形成することがある。このような検査用パッドを備えるＩＣチップが形成された半導体ウェハの一部を図４に示す。半導体ウェハ４１上には、複数のＩＣチップ４２が形成されており、各ＩＣチップ４２は、スクライブライン４３により、それぞれ隔離されている。この半導体ウェハ４１は、所定の処理の後、スクライブライン４３を切り落とすことにより切断され、これにより各ＩＣチップ４２が分離される。

【０００３】 ＩＣチップ４２は、内部回路に接続された検査用パッド４４を備えている。この検査用パッド４４は、検査工程に使用されるものであり、ＩＣチップの内部回路の動作を検査するために、この検査用パッドに所定の電圧を印加し、あるいは、内部回路に所定の電流を流してこの検査用パッド４４の電圧の変化を検出するなどの処理により、ＩＣチップ４２の内部回路が適切に動作しているか否かが検査される。さらに、このような検査時に静電気等により検査用パッド４４に不測の電圧が印加され、内部回路に過電流が流れ込み、内部回路が破壊されることを防止するために、検査用パッド４４と内部回路との間に静電破壊防止用の保護素子を設けることもある。

【０００４】

【発明が解決しようとする課題】 検査用パッド４４及びそれに付随する保護素子は、検査工程にのみ必要であ

い。検査工程が完了した後には、使用されない、近年、Ｉ

Ｃチップの小型が望まれているが、ＩＣチップに検査用パッド及び保護素子を設けた場合、検査用パッド及び保護素子がＩＣチップ内で一定の面積を専有するため、ＩＣチップの小型化が困難であった。したがって、一枚の半導体ウェハ上に形成できるＩＣチップの数が限定され、生産効率が向上しないという問題があった。

【０００５】 本発明は、上述のような課題に鑑みてなされたものであり、検査工程に必要な検査用パッドを設けるとともに、ＩＣチップの小型化を実現できる半導体ウェハを提供することを目的とする。

【０００６】

【課題を解決するための手段】 上述の目的を達成するために、本発明に係る半導体ウェハは、スクライブラインによりそれぞれ隔離された複数のＩＣチップが形成された半導体ウェハにおいて、上記ＩＣチップの内部回路に電気的に接続されて上記ＩＣチップの動作を検査するための検査用パッドが上記スクライブライン上に形成されていることを特徴とする。

【０００７】 検査用パッドをスクライブライン上に形成することにより、ＩＣチップ内に検査用パッドを設ける必要がなくなり、ＩＣチップの小型化が実現される。スクライブライン上に形成された検査用パッドは、切断工程においてスクライブラインとともに切り落とされる。

【０００８】 また、本発明に係る半導体ウェハは、上記検査用パッドと上記ＩＣチップの内部回路との間に電気的に接続されて過電流を防止する保護素子が上記スクライブライン上に形成されていることを特徴とする。

【０００９】 保護素子は、例えばアノード側が接地されたダイオードにより実現される。保護素子を設けることにより、検査時にＩＣチップの内部回路内に過電流が流れ込み、内部回路が破壊されることが防止される。この保護素子を検査用パッドとともにスクライブライン上に形成することにより、ＩＣチップの小型化が実現される。

【００１０】 また、本発明に係る半導体ウェハにおいて、上記検査用パッドと上記ＩＣチップの内部回路とをポリシリコン層により電気的に接続する構成としてもよい。アルミ配線は、切断工程時に基板にショートするおそれがあるが、ポリシリコン層による接続を行えば、このような問題が解決される。

【００１１】

【発明の実施の形態】 以下、本発明に係る半導体ウェハについて、図面を参照して詳細に説明する。

【００１２】 図１（ａ）は、本発明の実施の形態として示す半導体ウェハ１の平面図であり、図１（ｂ）は、半導体ウェハ１の要部断面図である。半導体ウェハ１上には、同一のＩＣチップ２が複数個形成されている。各ＩＣチップ２は、格子状のスクライブライン３により隔離されている。これら複数のＩＣチップ２は、所定の処理の後、スクライブライン３を切断するアレにより、個別

に分離される。

【0013】また、図1(a)に示すように、スクライブライン3上に検査用パッド4が形成されている。また、図1(b)に示すように、検査用パッド4は、スクライブライン3の表面に露出するとともに、アルミ層5を介して、ICチップ2内のNPNトランジスタのエミッタに電氣的に接続されている。

【0014】検査用パッド4は、半導体ウェハ1上に形成されたICチップ2の動作を検査するために用いられる。すなわち、検査時には、検査用パッド4に所定の電圧を印加し、あるいはICチップ2に電流を流すとともに検査用パッド4における電圧の変化を検出することにより、ICチップ2が正常に動作するか否かを判定する。この検査工程の後、スクライブライン3は切り落とされ、これにより複数のICチップ2が分離される。検査工程の後に不要となる検査用パッド4は、この切断工程においてスクライブライン3とともに切り落とされる。

【0015】このように、検査用パッド4をスクライブライン3上に設けることにより、ICチップ2を検査用パッド4の面積分小さく形成することが可能となり、したがって、1つの半導体ウェハ1から、より多くのICチップ2を作成することが可能となる。したがって、本発明によれば、ICチップの生産効率を向上させることができる。

【0016】図2は、本発明の第2の実施の形態を示す図である。この第2の実施の形態においては、半導体ウェハ11上にスクライブライン13により隔離された複数のICチップ12を形成し、図1に示す実施の形態と同様にスクライブライン13上に検査用パッド14を形成するとともに、検査用パッド14とICチップ12の内部回路との間に保護素子16を設けている。

【0017】保護素子16は、図2(a)に示すように、スクライブライン13上に形成されている。また、この保護素子16は、図2(b)に示すように、N+拡散層とP拡散層により構成されるダイオードである。この保護素子16を用いた保護回路の等価回路を図2

(c)に示す。検査用パッド14は、内部回路のNPNトランジスタのエミッタに接続されるとともに、アノード端子が接地されたダイオード、すなわち保護素子16のカソード端子に接続されている。これにより、ICチップ12の検査時に静電気等により検査用パッド14に不測の電圧が印加されてしまった場合に、過電流により内部回路が破壊されてしまうことを防止する静電破壊防止回路が構成されている。

【0018】検査用パッド14と保護素子16は、ともにICチップ12の検査終了後は不要となる。したがって、ICチップ12の切断工程において、スクライブライン13とともに切り落とされてもなんら問題はない。

このように検査用パッド14と保護素子16をスクライ

ブライン13上に設けることにより、検査用パッド14と保護素子16をICチップ12内に設ける必要がなくなり、ICチップ12を小型化することができ、1つの半導体ウェハ11上に、より多くのICチップ12を形成することができる。

【0019】図3は、本発明の第3の実施の形態を示す図である。図1及び図2に示す実施の形態では、検査用パッド1、11とICチップ2、12の内部回路とをアルミ層5、15を介して接続していた。このような構成においては、スクライブライン3、13を切断した際に外部に露出するアルミ層5、15が基板にショートするおそれがある。この第3の実施の形態においては、検査用パッド21をアルミ端子として形成するとともに、検査用パッド21と内部回路とを導電性のポリシリコン層22を介して接続している。これにより、スクライブライン23を切断した際に接続層が基板にショートする可能性を低減することができ、したがって、より信頼性の高いICチップを提供できる。

【0020】なお、図3において、検査終了後、内部回路と検査用パッドとを接続しているポリシリコン層22の点線で囲んだ部分Aをレーザー光等にてカットすることにより、内部回路が基板にショートする可能性がなくなるため、一層信頼性の高いICチップを提供できる。このレーザー光等にてカットする場合は、図1、図2におけるアルミ層5、15も同様な箇所に、検査終了後カットすることにより、一層信頼性の高いICチップを提供できる。

【0021】

【発明の効果】以上のように、本発明に係る半導体ウェハでは、ICチップの内部回路に電氣的に接続されて上記ICチップの動作を検査するための検査用パッドをスクライブライン上に形成するので、ICチップ内に検査用パッドを設ける必要がなくなり、ICチップの小型化が実現される。これにより、1つの半導体ウェハ上に形成できるICチップの数を増加させることができ、ICチップの生産性を向上させることができる。

【0022】さらに、本発明に係る半導体ウェハは、検査用パッドとICチップの内部回路との間に電氣的に接続されて過電流を防止する保護素子をスクライブライン上に形成するので、ICチップの小型化が実現される。また、検査用パッドとICチップの内部回路とをポリシリコン層により電氣的に接続することにより、切断工程時に接続層が基板にショートすることにより発生する不良を防止することができる。

【図面の簡単な説明】

【図1】本発明を適用した半導体ウェハの一部平面図及び断面図である。

【図2】第2の実施の形態として示す半導体ウェハの平面図、断面図及び保護回路の等価回路を示す図である。

【図3】第3の実施の形態として示す半導体ウェハの断

面図である。

【図4】 従来の半導体ウェハの一部平面図である。

【符号の説明】

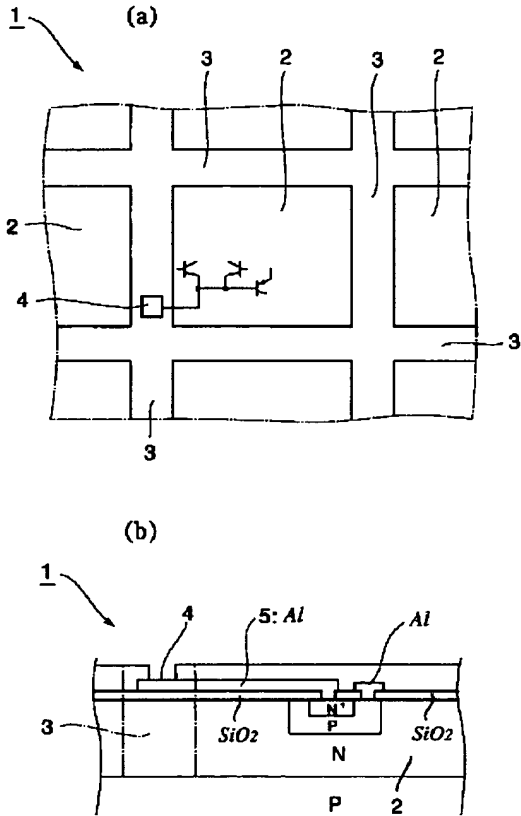
1 半導体ウェハ

2 ICチップ

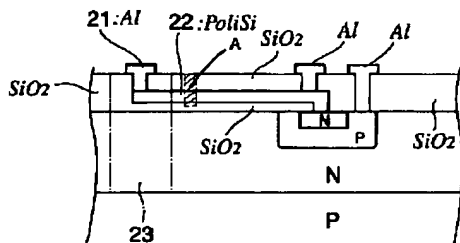
3 スクライブライン

4 検査用パッド

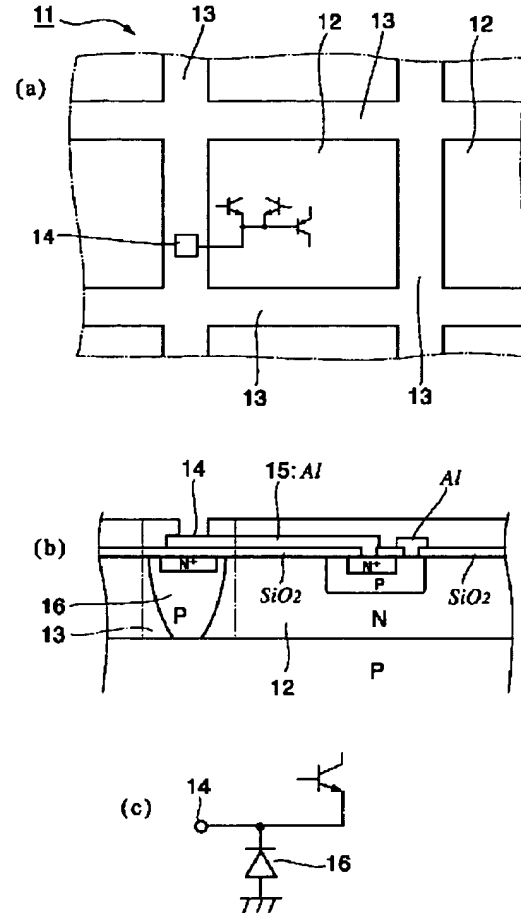
【図1】



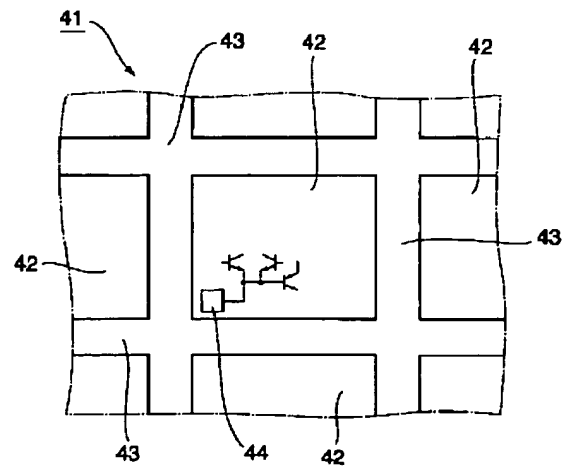
【図3】



【図2】



【図4】



TRANSMITTAL LETTER TO THE UNITED STATES RECEIVING OFFICE

Express Mail mailing number:		Date of deposit:	
File reference no.: LEV-0002/PCT		International application no. (if known): Not Yet Assigned	
Customer Number ¹ : 23353		Earliest priority date claimed (Day/Month/Year): 21 December 2007	
Title of the invention: TOUCH SENSITIVE WIRELESS NAVIGATION DEVICE FOR REMOTE CONTROL			

¹Customer Number will allow access to the application in Private PAIR but cannot be used to establish or change the correspondence address.

☒ This is a new International Application

SCREENING DISCLOSURE INFORMATION:

In order to assist in screening the accompanying international application for purposes of determining whether a license for foreign transmittal should and could be granted and for other purposes, the following information is supplied. (check as many boxes as apply):

☐ The invention disclosed was not made in the United States of America.

☐ There is no prior U.S. application relating to this invention.

☒ The following prior U.S. application(s) contain subject matter which is related to the invention disclosed in the attached international application. (NOTE: priority to these applications may or may not be claimed on the Request (form PCT/RO/101) and this listing does not constitute a claim for priority.)

application no.	61/015,891	filed on	21 December 2007
application no.	12/256,863	filed on	23 October 2008
application no.		filed on	
application no.		filed on	
application no.		filed on	

☐ The present international application contains additional subject matter not found in the prior U.S. application(s) identified above. The additional subject matter is found on pages _____ and ☐ DOES NOT ALTER ☐ MIGHT BE CONSIDERED TO ALTER the general nature of the invention in a manner which would require the U.S. application to have been made available for inspection by the appropriate defense agencies under 35 U.S.C. 181 and 37 C.F.R. 5.15.

Itemized list of contents

Sheets of Request form: 5	Check no.:
Sheets of description (excluding sequence listing): 14	Return receipt postcard:
Sheets of claims: 4	Power of attorney:
Sheets of abstract: 1	Certified copy of priority document (specify):
Sheets of drawings: 7	Other (specify): PCT Fee Calculation Sheet
Sheets of sequence listing:	
Sequence listing diskette/CD:	
Tables related to sequence listing CD:	

The person signing this form is:	<input type="checkbox"/> Applicant	Christopher M. Tobin Name of person signing /Christopher M. Tobin/ Signature
	<input checked="" type="checkbox"/> Attorney/Agent (Reg. No.) 40,290	
	<input type="checkbox"/> Common Representative	

Certificate of Electronic Filing Under 37 CFR 1.8

I hereby certify that this correspondence is being transmitted via the Office electronic filing system in accordance with 37 CFR 1.6(a)(4):

MS PCT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

on December 10, 2008
Date

/Christopher M. Tobin/

Signature

Christopher M. Tobin

Typed or printed name of person signing Certificate

40,290

Registration Number, if applicable

(202) 955-3750

Telephone Number

Note: Each paper must have its own certificate of mailing.

Transmittal Letter to the United States Receiving Office (1 page)